

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-196656

(43) 公開日 平成6年(1994)7月15日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
G 1 1 C 11/401				
29/00	3 0 1 B	6866-5L		
		7210-4M	H 0 1 L 27/10	3 2 5 T
		6866-5L	G 1 1 C 11/34	3 7 1 D
			審査請求 有	請求項の数 2 (全 4 頁) 最終頁に続く

(21) 出願番号 特願平4-263348

(22) 出願日 平成4年(1992)10月1日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 杉林 直彦

東京都港区芝五丁目7番1号日本電気株式会社内

(72) 発明者 成竹 功夫

東京都港区芝五丁目7番1号日本電気株式会社内

(72) 発明者 俣野 達也

東京都港区芝五丁目7番1号日本電気株式会社内

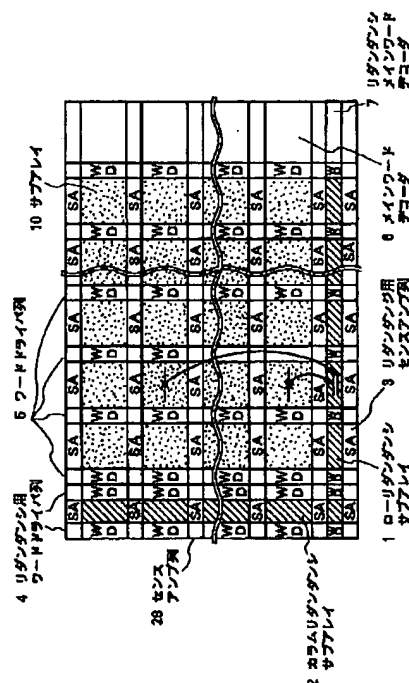
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 ダイナミックRAM

(57) 【要約】

【目的】 2重ワード線方式を用いたダイナミックRAMにおいて、不良セルの置換を効率よく行う。

【構成】 不良セル置換用のセルを専用のサブアレイ1、2に入れ、そのサブアレイを通常のサブアレイ10より小さく作ることにより、2重ワード線方式において置換する単位が大きくなったことによる面積オーバーヘッドを減らす。



(2)

特開平6-196656

1

2

【特許請求の範囲】

【請求項1】 2重ワード線方式を用いたダイナミックRAMにおいて、不良セル置換用のセルを専用のサブアレイに入れ、そのサブアレイを通常のサブアレイより小さくすることを特徴とするダイナミックRAM。

【請求項2】 行方向の置換は、メインワード線単位で行うことを特徴とする請求項1に記載のダイナミックRAM。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、2重ワード線方式を用いたダイナミックRAMの不良セルの置き換えに関する。

【0002】

【従来の技術】最近ダイナミックRAMは、金属配線の微細化の困難を解決するために2重ワード線方式をとりいれている。このことは、1992シンポジウムオンVLSIサーキット予稿(Sym. on VLSI Circuit Digest of Technical Papers) PP112-113に述べられている。2重ワード線方式を用いたダイナミックRAMの構成図を図2に示す。

【0003】2重ワード線方式では、相補のメインワード線20に対し4本のサブワード線22が走る。

【0004】従来のダイナミックRAMの冗長方式では、各サブアレイ毎に冗長セルを入れていた。(図3)これは、ジャーナルオブソリッドステートサーキット(Jour. of Solid State Circuits) VOL. 26 PP12-17 (JAN. 1991)に述べられている。しかし、従来の冗長方式では、各サブアレイ毎の不良箇所数が同じではないので置換セルがすべて使われることはほとんどなかった。

【0005】一方、2重ワード線方式では、メインワード線1組分(サブワード線4本分)を一度に置換する必要がある、通常のダイナミックRAMのサブアレイ当たりのワード線本数512本に対して無視できない数となってきた。サブアレイ当たりのワード線本数が512本、サブアレイが32行ある16Mbit DRAMの場合、置換メインワード線を、サブアレイ当たり4本入れると、一つのサブアレイ当たりのサブワード線は16本なので、 $16 \times 32 = 512$ 本のサブワード線が存在することになる。

【0006】

【発明が解決しようとする課題】この従来のダイナミックRAMの冗長方式では、置換セルが各サブアレイに入っているため、また、2重ワード線方式のDRAMでは一度に置換するセルの単位が大きくなるため、チップの面積が大きくなってしまいう問題があった。しかも、各サブアレイに含まれる不良の数は一定でないのでほとんどの置換セルは使われないという問題もあった。

【0007】

【課題を解決するための手段】本発明のダイナミックRAMでは、置換用のセルのみが入り、通常のサブアレイより小さいサブアレイを備えている。

【0008】

【実施例】次に本発明について図面を参照して説明する。

【0009】図1が本発明実施例1を説明する。

【0010】ローリダングダンシサブアレイ1は、通常のセルアレイの端のセンスアンプ列とリタングダンシセンスアンプ列3の間に位置する。このリダングダンシサブアレイ1にはメインワード線が8組程度入っている。通常のサブアレイ10では $512/4 = 128$ 組のメインワード線が入っている。リダングダンシサブアレイ1に含まれるセルの数が通常のサブアレイ10のそれよりずっと少ないので大きさもずっと小さい。この8組はどのサブアレイに対しても置換できる。又、各組には4本のワード線が含まれており、それぞれを独立に置換すると合計 $8 \times 4 = 32$ 箇所の不良箇所が置換できる。

【0011】このように置換用サブアレイを小さくすると、ビット線(図1の27)が短くなり、従ってビット線の容量に対するセルの容量の比が通常のサブアレイより大きくなり、置換セルの動作マージンが通常のセルより増す。すると、置換したところが、同様に不良であったという確率は減る。

【0012】なお、高速化を狙ったDRAMでは置換セルと被置換セルの両方をセンス動作させ、データとり出し時に切り替えるとよい。そのとき、本発明のように置換セル用のサブアレイを小さく必要最小限にしておくことで消費電流のオーバーヘッドを抑えることができる。

【0013】ここまで、ワード線方向で説明したがビット線方向でも同様のことが言える。

【0014】

【発明の効果】以上説明したように本発明は、置換セルを別のサブアレイにまとめたので行及び列の置換単位を大きくしても面積の増加がおさえられる。また、置換用サブアレイを通常のサブアレイより小さくしたので、置換先のセルの不良を少なくでき、置換アドレスをアクセスしたときの電流の増加が少ない。さらに、置換用セルをキップの中心にもってこれるので置換アドレスをアクセスしたときのアクセス遅れが少ない。

【図面の簡単な説明】

【図1】本発明の実施例を示す図である。

【図2】2重ワード線の構成図である。

【図3】従来例を示す図である。

【符号の説明】

- 1 ローリダングダンシセルアレイ
- 2 カラムリダングダンシセルアレイ
- 3 リダングダンシ用センスアンプ列
- 4 リダングダンシ用ワードドライバ列

(3)

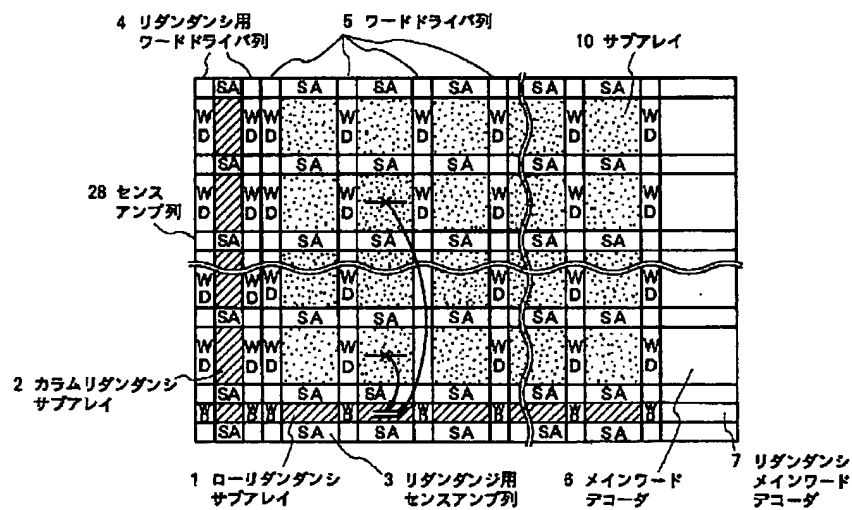
特開平6-196656

3

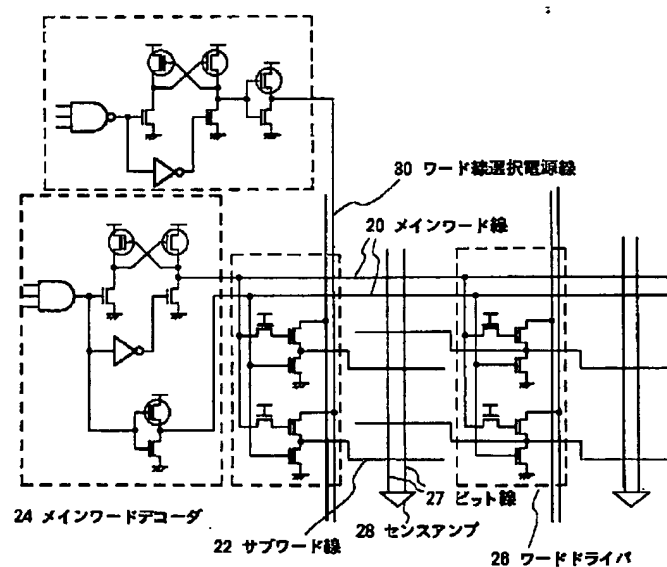
4

10 通常のサブアレイ

【図1】



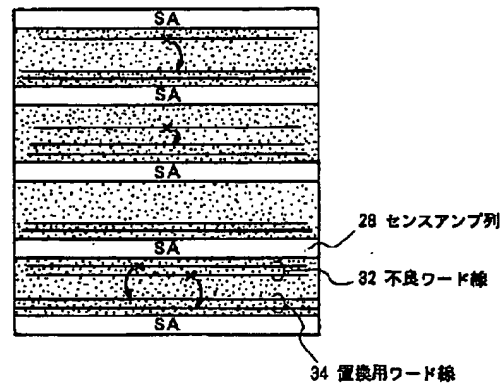
【図2】



(4)

特開平6-196656

【図3】



フロントページの続き

(51) Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H 0 1 L 27/10

3 2 5 N